

PCI-Decoder (ispLSI1032E mit Kolter PCI-Core rev. 03)

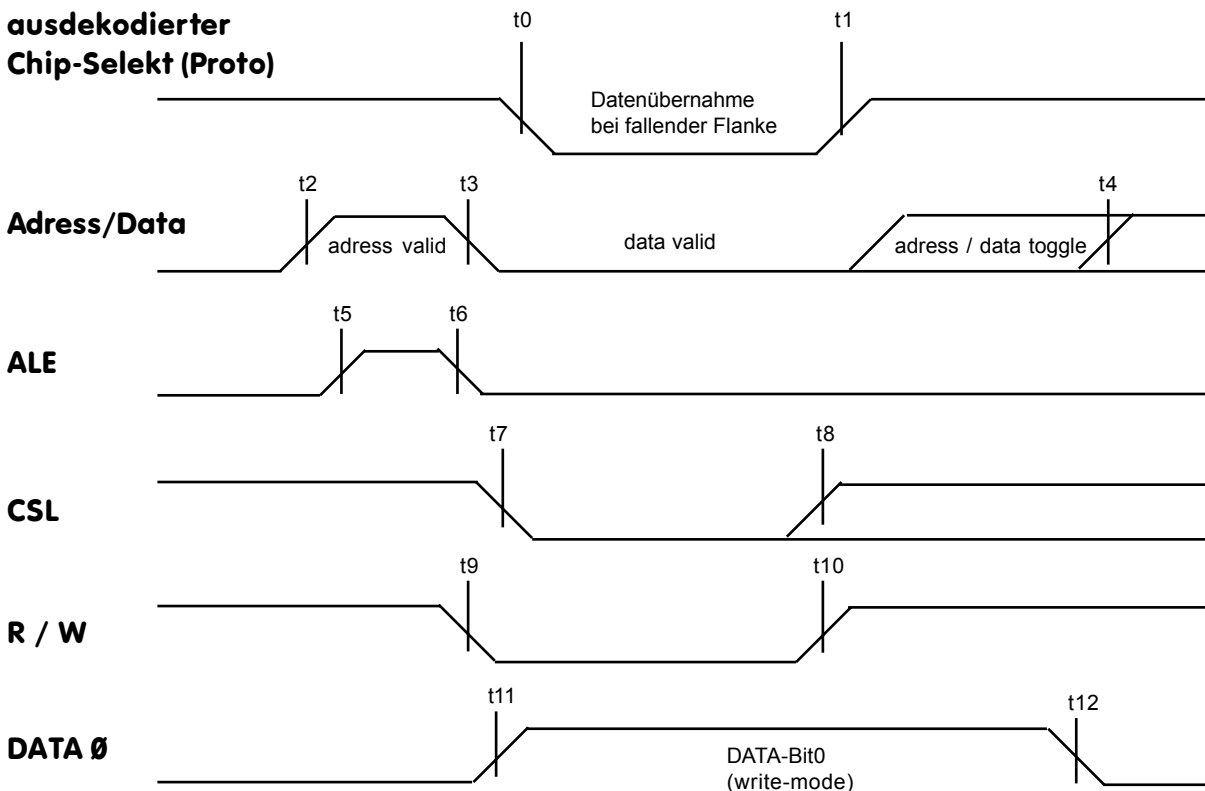
Signalbeschreibung und Timing des Target-controllers

PINs	Signal	Beschreibung / Ereignis
D0...D15	high	Adress.- und Datenbus, wird über PCIALE gemultiplext (data/address) verfügbar sind 16 Datenleitungen und 8 Adressleitungen
PCI ALE	high	Latch-Signal auf Flanke um Adressen freizugeben (latch address)
PCI ALE	low	D0...D15 Daten-bits floaten (data access)
PCI RW	high	Daten werden gelesen (I/O-read)
PCI RW	low	Daten werden geschrieben (I/O-write)
PCI CSL	low	unteres Datensegment D0...D7 aktiv (data-low-byte enable)
PCI CSH	low	oberes Datensegment D8...D15 aktiv (data-high-byte enable)

Timing des User-Bus (neuer TCB rev. 03)

nur für ispLSI1032E - code Exxxxxx

ausdekodierter Chip-Selekt (Proto)



Zeit-Tabelle

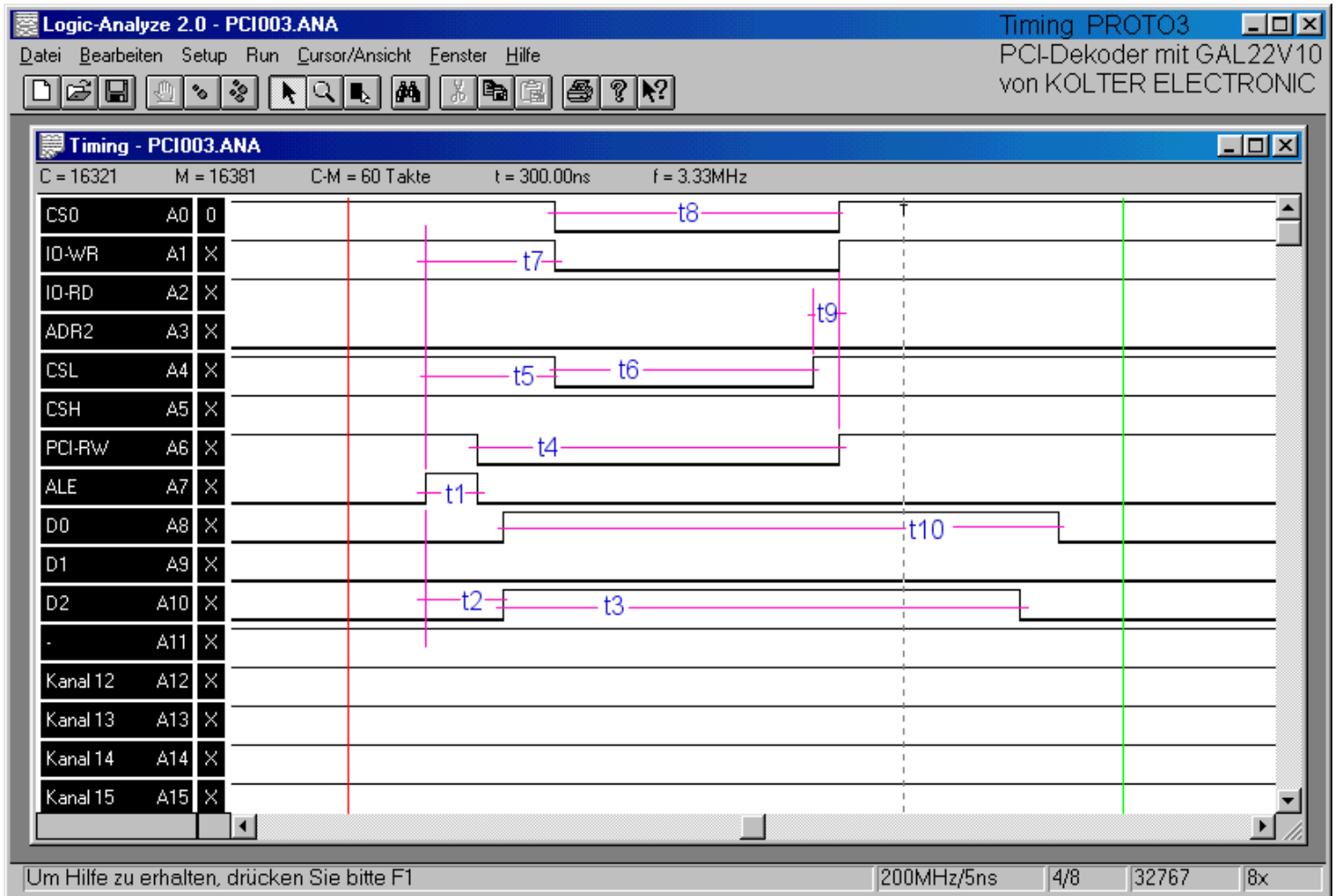
~ von GAL-Laufzeit abhängig

von PCI-Bus abhängig

t0	-	t1	# ~	100 ns	chip select (decode by GAL22V10 /CS1)
t2	-	t3	#	33 ns	address valid
t3	-	t4	#	160..200 ns	data valid
t5	-	t6	#	20 ns	address latch enable PCI-ALE
t7	-	t8	#	105 ns	chip select low PCI-CSL
t9	-	t10	~	140 ns	read / write PCI-RW (write = low)
t10	-	t1	~	5...10 ns	
t7	-	t0	~	5...10 ns	
t8	-	t1	~	5...10 ns	
t6	-	t3	~	1 ns	ALE < adress valid
t6	-	t9	~	0 ns	
t5	-	t7	~	66 ns	
t11	-	t12	#	180 ns	

Alle Angaben unter Vorbehalt.

Das original Timing des PCI-Dekoders mit nachgeschaltetem Dekodier-GAL sieht folgendermaßen aus:



Folgende Zeitzusammenhänge konnten bei einem 8-bit write-port mit einem 200 Ms/s. Logic-Analyzer real ermittelt werden:

- t1 = 20 ns ALE
- t2 = 30 ns ready for data
- t3 = 175 ... 200 ns (data-valid siehe t10)
- t4 = 140 ns RW
- t5 = 45 ns ready for CS
- t6 = 105 ns chip-select low (low byte D0..D7)
- t7 = 45 ... 50 ns ready for write
- t8 = 100 ... 110 ns chip-select 8255
- t9 = 10 ns CSL to chip-select

Der TCB-Block (im core) verlängert die Datengültigkeit um einen PCI-Clock-Zyklus (+33 ns), damit auch auf älteren Chips wie 8254, 8255 u.a. ein zeitunkritischer Zugriff erfolgen kann. Eine genauere Zusage des Timings ist leider nicht möglich, da nicht jeder Motherboard-Hersteller sich an die PCI-Spezifikation 2.1 oder 2.2 hält. Es sind teilweise um bis zu 50% Abweichung bei verschiedenen Boards gemessen worden. Die ursprüngliche Timing-Vorgabe können Sie aus den PCI-Spezifikationen der PCI-SIG Gruppe auf der Homepage www.pcisig.com beziehen.